

**MENU****SEARCH****INDEX****DETAIL****JAPANESE****BACK****NEXT**

7 / 11

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-243188  
 (43) Date of publication of application : 07.09.1999

(51) Int.Cl. H01L 29/43  
 H01L 29/78

(21) Application number : 10-347052 (71) Applicant : SANYO ELECTRIC CO LTD

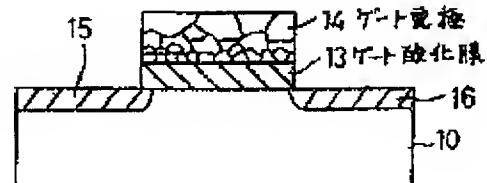
(22) Date of filing : 07.12.1998 (72) Inventor : TAKEUCHI KUNIO  
 FURUICHI SHINJI  
 MIZUHARA HIDEKI  
 AKIZUKI MAKOTO  
 AOE HIROYUKI

### (54) SEMICONDUCTOR DEVICE

#### (57) Abstract:

**PROBLEM TO BE SOLVED:** To stop implanted ions from penetrating into a semiconductor layer under an electrode, when ions are implanted into the electrode and to restrain the electrode from increasing in resistance by a method, wherein an electrode of polycrystalline film is composed of a one part large in crystal grain diameter and the other part small in crystal grain diameter, and the crystal grain diameter of the part of large grain diameter is set at a specific value or above.

**SOLUTION:** A gate electrode 14 of polycrystalline film is composed of a part A whose crystal grain diameter is  $0.3 \mu m$  or larger, and a part B whose grain diameter is  $0.1 \mu m$  or smaller. Furthermore, the part A is provided on the front side of the gate electrode 14, and the part B is provided on the rear side. With this setup, when ions are implanted into the gate electrode 14, implanted ions are prevented from penetrating into a semiconductor substrate 10. Moreover, the gate electrode 14 is restrained from increasing in resistivity.



### LEGAL STATUS

[Date of request for examination] 10.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]  
[Patent number] 3054614  
[Date of registration] 07.04.2000  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-243188

(43)公開日 平成11年(1999)9月7日

(51)Int.Cl.<sup>6</sup>  
H 01 L 29/43  
29/78

識別記号

F I  
H 01 L 29/46  
29/62  
29/78  
A  
G  
3 0 1 G

審査請求 有 請求項の数 6 O.L (全 4 頁)

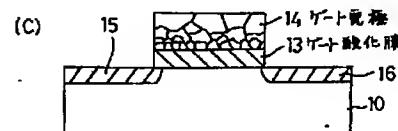
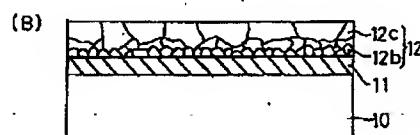
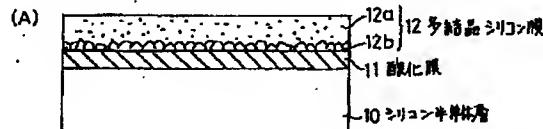
(21)出願番号 特願平10-347052  
(62)分割の表示 特願平1-138612の分割  
(22)出願日 平成1年(1989)5月31日

(71)出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号  
(72)発明者 竹内 邦生  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(72)発明者 古市 優治  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(72)発明者 水原 秀樹  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(74)代理人 弁理士 安富 耕二 (外1名)  
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 特性の良好な半導体装置を提供する。  
【構成】 多結晶膜からなる電極を備えた半導体装置において、前記電極が結晶粒径の小さい部分と結晶粒径の大きい部分とを備え、且つ前記結晶粒径の大きい部分が、結晶粒径が0.3μm以上の部分を有している。



I

## 【特許請求の範囲】

【請求項1】 多結晶膜からなる電極を備えた半導体装置において、

前記電極が結晶粒径の小さい部分と結晶粒径の大きい部分とを備え、且つ前記結晶粒径の大きい部分が、結晶粒径が0.3μm以上の部分を有することを特徴とする半導体装置。

【請求項2】 前記結晶粒径の小さい部分が、結晶粒径が0.1μm以下の部分を有することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記結晶粒径の大きい部分が、前記電極の表面側に配されたことを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 前記結晶粒径の小さい部分が、前記電極の裏面側に配されたことを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項5】 前記電極が、シリコンの多結晶膜からなることを特徴とする請求項1乃至4のいずれかに記載の半導体装置。

【請求項6】 前記電極をマスクとしたイオン注入法により自己整合的に形成された不純物拡散領域を備えることを特徴とする請求項1乃至5のいずれかに記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、多結晶膜からなる電極を備えた半導体装置に関する。

## 【0002】

【従来の技術】 例えば半導体メモリに用いられるMOSトランジスタにあっては、電極として多結晶膜である多結晶シリコンが、しばしば用いられる。斯かるMOSトランジスタの典型的構造を図3に示し、これを、その製造過程と共に説明するに、先ず、シリコン基板(1)上全面に、熱酸化膜及び多結晶シリコン膜を順次堆積した後、パターニングによりゲート酸化膜(2)及びゲート電極(3)の重疊体を残す。この後、イオン注入法による不純物拡散を行うと、ゲート電極(3)に不純物が添加されると共に、ゲート電極(3)がマスクとなって、ドレイン(4)及びソース(5)が自己整合的に形成される。

【0003】 上記構造における問題点は、ゲート電極へのイオン注入時に、チャネリング効果により注入イオンがゲート電極(3)下の基板(1)に侵入し、トランジスタ特性を低下させる危険性のあるところである。

【0004】 そこで、特開昭63-48865号公報に記載の如く、ゲート電極を構成する多結晶シリコンの結晶粒径を小さくすることにより、注入イオンの基板への侵入を阻止する構成が提案された。斯かる構造は、注入イオンの阻止において効果を有する反面、ゲート電極の抵抗率を高くする傾向をもつ。なぜなら、多結晶シリコ

2

ンの抵抗率は、その結晶粒径が小さくなるに従い大きくなるからである。

## 【0005】

【発明が解決しようとする課題】 従って、本発明は、多結晶膜からなる電極にイオン注入する際に、注入イオンが基板へ侵入するのを阻止し、かつ前記電極の抵抗率の増大を抑制し得る構造を提供しようとするものである。

## 【0006】

【課題を解決するための手段】 本発明は、多結晶膜からなる電極を備えた半導体装置において、前記電極が結晶粒径の小さい部分と結晶粒径の大きい部分とを備え、且つ前記結晶粒径の大きい部分が、結晶粒径が0.3μm以上の部分を有することを特徴とし、また前記結晶粒径の小さい部分が、結晶粒径が0.1μm以下の部分を有することを特徴とする。

【0007】 また、前記結晶粒径の大きい部分が、前記電極の表面側に設けられていることを特徴とし、前記結晶粒径の小さい部分が、前記電極の裏面側に設けられていることを特徴とする。

【0008】 さらには、前記電極が、シリコンの多結晶膜からなることを特徴とする。

【0009】 加えて、前記電極をマスクとしたイオン注入法により自己整合的に形成された不純物拡散領域を備えることを特徴とする。

## 【0010】

【発明の実施の形態】 以下、本発明の実施の形態を図1を参照して説明する。

【0011】 基板となるシリコン半導体層(10)上に、熱酸化法により、酸化膜(11)を300Å形成する。続いてこの上に多結晶シリコン膜(12)をSiH<sub>4</sub>の熱分解により減圧CVD法にて3000Å堆積させる(図1A)。堆積温度は620℃から560℃まで漸次下降せしめ、圧力0.5Torr、SiH<sub>4</sub>流量120cc/minとする。堆積温度がおよそ575℃を境にして低温側では堆積されたシリコンはアモルファス状態であり、高温側では多結晶化している。図1Aにおいて、番号(12a)はアモルファス部分を、又番号(12b)は多結晶部分をそれぞれ示している。同図に示す如く、アモルファス部分(12a)及び多結晶部分(12b)は、いずれも膜面と平行に層状に形成されている。

【0012】 次いで、600℃、10時間のアニールが行われる。このアニールの結果、図1Aにおけるアモルファス部分(12a)は多結晶化し、同図Bに示す如く、多結晶化部分(12c)となる。アニール後の結晶粒径は、前記CVD法堆積時の堆積温度に依存したものとなり、斯かる依存特性が図2に示されている。同図から判る様に、堆積温度が低いほど、結晶粒径が大きくなる。従って、今の場合、当初アモルファス状態であった表面側のアモルファス部分(12a)の方が、裏面側

3

(即ち半導体層10側)の多結晶部分(12b)よりも結晶粒径が大きくなる。この結果、アニール後においては、結晶粒径の小さい多結晶膜からなる部分(12b)と結晶粒径の大きい多結晶膜からなる多結晶化部分(12c)とを備えた多結晶シリコン膜(12)が得られる。

【0013】このとき、上述した通りアモルファス部分(12a)堆積時の堆積温度が575°C~560°Cの範囲であることから、上記多結晶化部分(12c)は結晶粒径が0.3 μm以上の部分を有することとなる。また、多結晶部分(12b)の堆積温度が575°C~620°Cの範囲であることから、アニール後の結晶粒径の小さい多結晶膜からなる部分(12b)は、結晶粒径が0.1 μm以下の部分を有することとなる。

【0014】そして、膜厚方向において裏面側から表面側に向かって粒径が順次大となる結晶粒径の分布を有するように、結晶粒径の大きい部分(12c)が表面側に配され、結晶粒径の小さい部分(12b)が裏面側に配された多結晶シリコン膜(12)が得られる。

【0015】その後、パターニングによりゲート酸化膜(13)及びゲート電極(14)の重疊体を残す。このパターニングのためには、多結晶シリコン膜(12)に対してはSF<sub>6</sub>を主体としたガスを、又酸化膜(11)に対してはCHF<sub>3</sub>を主体としたガスを、夫々用いたRIE(反応性イオンエッチング)法が採用される。

【0016】最後に、イオン注入法による不純物拡散を行うと、ゲート電極(14)に不純物が添加されると共に、ゲート電極(14)がマスクとなってシリコン半導体(10)中にドレイン(15)及びソース(16)の不純物拡散領域が自己整合的に形成される。注入イオンとしてはリン等が最適である。

【0017】この様にして得られた装置の構造にあっては、多結晶膜からなるゲート電極(14)が、結晶粒径が0.3 μm以上の部分を有する結晶粒径の大きい部分を備えているので、ゲート電極の抵抗率は大きくならない。

【0018】加えて本発明にあっては、ゲート電極(14)が、結晶粒径が0.1 μm以下の部分を有する結晶

10

4

粒径の小さい部分を備えているために、ゲート電極(14)へのイオン注入時に、注入イオンが半導体基板(10)内に侵入することが阻止される。

【0019】さらには、上記結晶粒径の大きい部分がゲート電極(14)の表面側に配され、結晶粒径の小さい部分が電極(14)の裏面側に配されることで、その効果が一層顕著なものとなる。

【0020】上記実施例では、ゲート電極(14)を構成する多結晶膜の結晶粒径は、ゲート電極(14)の裏面側から表面側に向かって漸増するものであったが、段階的に変化されても良い。その場合、多結晶シリコン膜(12)の堆積温度を当初高い値に固定して堆積を行い、適当な膜厚になった時点で、反応ガス供給を停止すると共に堆積温度を下げ、この温度が所定の値に達した時点で、堆積温度を維持し、かつ反応ガス供給を再開することとなる。

【0021】又、電極材料として、多結晶シリコンの他、他の結晶材料をも使用し得る。

【0022】

【発明の効果】以上説明した如く、本発明によれば、多結晶膜からなる電極を備えた半導体装置において前記電極が結晶粒径の小さい部分と結晶粒径の大きい部分とを備え、且つ前記結晶粒径の大きい部分が、結晶粒径が0.3 μm以上の部分を有している。従って、前記電極へのイオン注入時に、注入イオンが電極下の半導体層内へ侵入することを阻止することができると共に、電極の抵抗が増大することを抑制でき、半導体装置の特性が良好なものとなる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の製造工程を説明するための工程別断面図である。

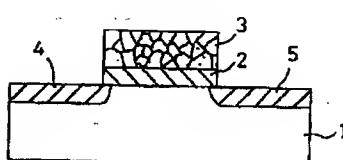
【図2】堆積温度と結晶粒径との関係を示す曲線図である。

【図3】従来装置の断面図である。

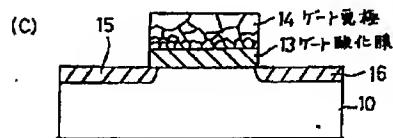
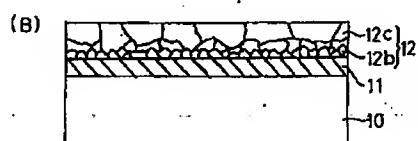
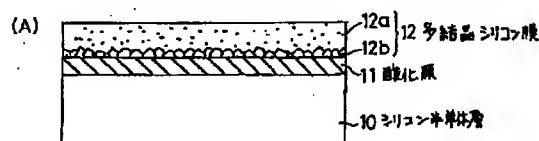
【符号の説明】

10…半導体基板、11…酸化膜、12…多結晶膜、13…ゲート酸化膜、14…ゲート電極

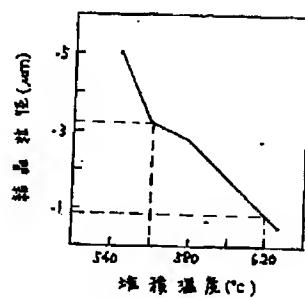
【図3】



【図1】



【図2】



フロントページの続き

(72)発明者 秋月 誠  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 青江 弘行  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内